



دانشکده‌ی فنی و مهندسی
گروه آموزشی برق

پایان‌نامه برای دریافت درجه‌ی کارشناسی ارشد
در رشته‌ی مهندسی برق گرایش الکترونیک

عنوان:

**طراحی و پیاده‌سازی بر روی FPGA یک جمع‌کننده ۶۴ بیتی با سرعت بالا و توان
مصرفی پایین**

اساتید راهنما:

دکتر غلامرضا زارع‌فتین

دکتر جواد جاویدان

پژوهشگر:

امیر احمدلو

زمستان ۱۳۹۶



دانشکده‌ی فنی و مهندسی
گروه آموزشی برق

پایان‌نامه برای دریافت درجه‌ی کارشناسی ارشد
در رشته‌ی مهندسی برق گرایش الکترونیک

عنوان:

**طراحی و پیاده‌سازی بر روی FPGA یک جمع‌کننده ۶۴ بیتی با سرعت بالا و توان
مصرفی پایین**

پژوهشگر:

امیر احمدلو

ارزیابی و تصویب شده‌ی کمیته‌ی داوران پایان‌نامه با درجه‌ی

امضاء	سمت	مرتبه‌ی علمی	نام و نام خانوادگی
	استاد راهنما	استادیار	دکتر غلامرضا زاعفتین
	استاد راهنما دوم و رئیس کمیته‌ی داوران	دانشیار	دکتر جواد جاویدان
	داور	استادیار	دکتر حمید بهادر
	داور	دانشیار	دکتر شهرام جمالی

تقدیم:

این پایان‌نامه را ضمن تشکر و سپاس بیکران و در کمال افتخار و امتنان تقدیم می‌نمایم به:

محضر ارزشمند پدر و مادر عزیزم به خاطر همه‌ی تلاش‌های محبت‌آمیزی که در دوران مختلف زندگی‌ام انجام داده‌اند و با مهربانی چگونه زیستن را به من آموخته‌اند.

سپاسگزاری:

ضمن سپاس و ستایش به درگاه ایزد منآن که به من توانایی داد با استعانت او بتوانم این پژوهش را انجام دهم، بر خود لازم می بینم از دلگرمی و تشویق اساتید و دوستان که در نگارش این مجموعه مرا یاری نمودند، قدردانی نمایم.

جناب آقای دکتر غلامرضا زارع فتین و دکتر جواد جاویدان که در طول نگارش این مجموعه با راهنمایی های عالمانه و بجایشان، راهنمای شایسته ای در هدایت این پایان نامه بوده اند.

از جناب آقای دکتر حمید بهادر و دکتر شهرام جمالی که زحمت داوری این پایان نامه با ایشان بوده است کمال تشکر را دارم.

همچنین از خانواده ی عزیزتر از جانم بابت زحمات بی دریغ و بی منت شما متشکرم. همیشه نیازمند محبت، لطف و دعای خیر شما هستم.

نام خانوادگی دانشجو: احمدلو	نام: امیر
عنوان پایان‌نامه: طراحی و پیاده‌سازی بر روی FPGA یک جمع‌کننده ۶۴ بیتی با سرعت بالا و توان مصرفی پایین	
اساتید راهنما: دکتر غلامرضا زارع، دکتر جواد جاویدان	
مقطع تحصیلی: کارشناسی ارشد	رشته: برق
گرایش: الکترونیک	دانشگاه: محقق اردبیلی
دانشکده: فنی و مهندسی	تاریخ دفاع: ۱۳۹۶/۱۱/۳۰ تعداد صفحات: ۹۴
<p>چکیده:</p> <p>در این تحقیق به کمک چینش سلولها در ساختار جمع‌کننده‌های پیشوند موازی (PPA)، دو نوع معماری جمع‌کننده جدید ارائه شده است. جمع‌کننده پیشنهادی اول با تلفیق عمودی نیمه اول جمع‌کننده Ladner-Fischer و نیمه دوم جمع‌کننده Brent-Kung بدست آمده است. در واقع اصلاح اتصالات گره‌های محاسباتی ایجاد شده در سطوح میانی مبتنی بر تغییر ساختار جمع‌کننده باعث کاهش طبقات منطقی موجود در راستای مسیر بحرانی و لیکن در نتیجه کاهش تاخیر انتشار شده است. این بهبودی با اندکی افزایش در توان مصرفی همراه بوده است، در نهایت حاصل ضرب توان مصرفی در تاخیر انتشار (PDP) کاهش داشته است. میزان کارایی این جمع‌کننده با افزایش تعداد بیت ورودی بهبود یافته و نمود بهتری پیدامی‌کند. نتایج شبیه‌سازی‌ها نشان می‌دهد که مقدار کاهش PDP در جمع‌کننده پیشنهادی اول، به اندازه ۶٪ در ورودی ۱۶ بیت، ۱۸٪ در ۳۲ بیت و ۴۰٪ در ۶۴ بیت در مقایسه با جمع‌کننده Ladner-Fischer بوده است. در جمع‌کننده پیشنهادی دوم با تلفیق عمودی نیمه اول جمع‌کننده Kogge-Stone و نیمه دوم جمع‌کننده Sklansky تعداد گره‌ها و اتصالات در نیمه دوم کمتر شده و در نتیجه مصرف توان در این نوع معماری کاهش یافته است. مقدار گنجایش خروجی (Fan-Out) نیز در نیمه اول نسبت به جمع‌کننده Sklansky کاهش یافته است. نتایج شبیه‌سازیها برای PDP جمع‌کننده پیشنهادی دوم، بهبودی در حدود ۱۷٪ برای ورودی ۱۶ بیت، ۲۱٪ برای ورودی ۳۲ بیت و ۲۵٪ برای ورودی ۶۴ بیت در مقایسه با جمع‌کننده Kogge-Stone را نشان می‌دهد. تمام شبیه‌سازی‌ها با تکنولوژی ۴۵ نانومتر CMOS و به کمک نرم افزار Hspice انجام شده است. نتایج شبیه‌سازیها نشان می‌دهد که جمع‌کننده‌های پیشنهادی، در مقایسه با جمع‌کننده‌های درختی متداول دارای کارایی بیشتری بوده و بهبود یافته‌اند.</p>	
کلید واژه‌ها: تاخیر، تکنولوژی CMOS، توان مصرفی، جمع‌کننده‌های با تلفیق عمودی، جمع‌کننده پیشوند موازی	

فهرست مطالب

عنوان

صفحه

فصل اول: کلیات پژوهش

۱-۱- مقدمه.....	۲
۲-۱- بیان مسئله.....	۳
۳-۱- ضرورت و اهمیت پژوهش.....	۴
۴-۱- هدف از انجام تحقیق.....	۵
۵-۱- نوآوری‌های تحقیق.....	۶
۶-۱- نمای کلی پایان‌نامه.....	۶

فصل دوم: انواع جمع‌کننده‌های سریع

۱-۲- مقدمه.....	۸
۲-۲- بررسی ساختار اولیه جمع‌کننده.....	۸
۱-۲-۲- نیم جمع‌کننده.....	۸
۲-۲-۲- تمام جمع‌کننده.....	۱۰
۳-۲- جمع‌کننده بیت نقلی پله‌ای.....	۱۲
۴-۲- جمع‌کننده پرش بیت نقلی.....	۱۴
۱-۴-۲- ساز کار پرش بیت نقلی.....	۱۴

Error! Bookmark not defined......۵-۲ جمع کننده انتخاب بیت نقلی

Error! Bookmark not defined......۶-۲ جمع کننده با قابلیت پیش بینی بیت نقلی

Error! Bookmark not defined......۷-۲ جمع کننده پیشوند موازی

Error! Bookmark not defined......۸-۲ مقایسه معیار جمع کننده‌ها

فصل سوم: بررسی روشهای پیاده سازی انواع جمع کننده پیشوند موازی

Error! Bookmark not defined......۱-۳ مقدمه

Error! Bookmark not defined......۲-۳ سلول‌های سیاه و سفید در ساختارهای PPA

Error! Bookmark not defined......۱-۲-۳ مراحل انجام محاسبات جمع در ساختارهای PPA

Error! Bookmark not defined......۲-۲-۳ معیارهای مورد استفاده برای مقایسه PPA ها

Error! Bookmark not defined......۳-۳ انواع الگوریتم‌های پیشوندی

Error! Bookmark not defined......۱-۳-۳ الگوریتم پیشوندی سریال

Error! Bookmark not defined......۲-۳-۳ الگوریتم پیشوندی درخت

Error! Bookmark not defined......۱-۲-۳-۳ جمع کننده Sklansky

Error! Bookmark not defined......۲-۲-۳-۳ جمع کننده Kogge-Stone

Error! Bookmark not defined......۳-۲-۳-۳ جمع کننده Brent-Kung

Error! Bookmark not defined......۴-۲-۳-۳ جمع کننده Han-Carlson

Error! Bookmark not defined......۵-۲-۳-۳ جمع کننده Ladner-Fischer

Error! Bookmark not defined......۶-۲-۳-۳ جمع کننده Knowles

Error! Bookmark not defined......۴-۳ طبقه بندی سه بعدی جمع کننده‌های پیشوند موازی

Error! Bookmark not defined...... ۵-۳ مقایسه معیار جمع‌کننده‌های پیشوند موازی

Error! Bookmark not defined...... ۶-۳ جمع بندی

فصل چهارم: طراحی جمع‌کننده‌های پیشوند موازی بهبود یافته

Error! Bookmark not defined...... ۱-۴ مقدمه

Error! Bookmark not defined...... ۲-۴ جمع‌کننده پیشنهادی اول

Error! Bookmark not defined...... ۳-۴ جمع‌کننده پیشنهادی دوم

فصل پنجم: نتیجه‌گیری و پیشنهادها

Error! Bookmark not defined...... ۱-۵ جمع بندی

Error! Bookmark not defined...... ۲-۵ پیشنهادها

پی‌نویس

منابع و مراجع

فهرست شکل‌ها

عنوان

صفحه

- شکل ۱-۱: روند ترانزیستورها در مدارات مجتمع ۲
- شکل ۱-۲: نمودار تاریخچه CPU اینتل ۳
- شکل ۱-۲: الف) نماد منطقی مدار نیم‌جمع‌کننده. ب، ج) دو نوع پیاده‌سازی مدار نیم‌جمع‌کننده ۹
- شکل ۲-۲: الف) نماد منطقی تمام‌جمع‌کننده. ب، ج، د، ح، و) انواع پیاده‌سازی مدار تمام‌جمع‌کننده ۱۱
- شکل ۲-۳: جمع‌کننده بیت نقلی پله‌ای چهار بیتی ۱۲
- شکل ۲-۴: نمایش خلاصه‌ای عملکرد جمع‌کننده پرش بیت نقلی **Error! Bookmark not defined.**
- شکل ۲-۵: ساختار جمع‌کننده پرش بیت نقلی n بیتی **Error! Bookmark not defined.**
- شکل ۲-۶: فرآیند انتخاب یا تولید بیت نقلی در جمع‌کننده پرش بیت نقلی چهار ورودی **Error! Bookmark not defined.**
- شکل ۲-۷: ساختار جمع‌کننده انتخاب بیت نقلی ۱۶ بیتی **Error! Bookmark not defined.**
- شکل ۲-۸: جمع‌کننده پیش‌بینی نقلی چهار بیتی **Error! Bookmark not defined.**
- شکل ۲-۹: ساختار نماد یک جمع‌کننده‌ای پیشوند موازی **Error! Bookmark not defined.**
- شکل ۲-۱۰: آنالیز کارایی جمع‌کننده‌های ۳۲ بیتی **Error! Bookmark not defined.**
- شکل ۱-۳: الف) نماد سلول‌ها در ساختار گراف ب) نماد منطقی سلول‌های محاسباتی **Error! Bookmark not defined.**
- شکل ۲-۳: ساختار گیت‌های منطقی در سطح ترانزیستور، الف) NOT ب) AND ج) OR د) XOR ۲۹

شکل ۳-۳: مراحل انجام عملیات جمع در PPA ها Error! Bookmark not defined.

شکل ۳-۴: مراحل انجام عملیات جمع در یک جمع‌کننده پیشوندی چهار بیتی. Error! Bookmark not defined.

شکل ۳-۵: شکل الگوریتم پیشوندی-سریال Error! Bookmark not defined.

شکل ۳-۶: الگوریتم پیشوند-درخت Error! Bookmark not defined.

شکل ۳-۷: گراف ۱۶ بیتی جمع‌کننده Sklansky Error! Bookmark not defined.

شکل ۳-۸: گراف ۳۲ بیتی جمع‌کننده Sklansky Error! Bookmark not defined.

شکل ۳-۹: گراف ۱۶ بیتی جمع‌کننده Kogge-Stone Error! Bookmark not defined.

شکل ۳-۱۰: گراف ۳۲ بیتی جمع‌کننده Kogge-Stone Error! Bookmark not defined.

شکل ۳-۱۱: پیاده‌سازی در سطح گیت جمع‌کننده هشت بیتی Kogge-Stone Error! Bookmark not

defined.

شکل ۳-۱۲: گراف جمع‌کننده ۱۶ بیتی Brent-Kung Error! Bookmark not defined.

شکل ۳-۱۳: گراف جمع‌کننده ۳۲ بیتی Brent-Kung Error! Bookmark not defined.

شکل ۳-۱۴: پیاده‌سازی در سطح گیت جمع‌کننده هشت بیتی Brent-Kung. Error! Bookmark not defined.

شکل ۳-۱۵: گراف جمع‌کننده ۱۶ بیتی Han-Carlson Error! Bookmark not defined.

شکل ۳-۱۶: گراف جمع‌کننده ۳۲ بیتی Han-Carlson Error! Bookmark not defined.

شکل ۳-۱۷: پیاده‌سازی در سطح گیت جمع‌کننده هشت بیتی Han-Carlson Error! Bookmark not

defined.

شکل ۳-۱۸: گراف جمع‌کننده ۱۶ بیتی Ladner-Fischer Error! Bookmark not defined.

شکل ۳-۱۹: گراف جمع‌کننده ۳۲ بیتی Ladner-Fischer Error! Bookmark not defined.

شکل ۳-۲۰: پیاده‌سازی در سطح گیت جمع‌کننده هشت بیتی Ladner-Fischer Error! Bookmark not

defined.

شکل ۳-۲۱: نمونه‌ای از ساختار گرافی جمع‌کننده ۴، ۸ و ۱۶ بیتی Knowles Error! Bookmark not defined.

شکل ۳-۲۲: گراف جمع‌کننده ۱۶ بیتی Knowles Error! Bookmark not defined.

شکل ۳-۲۳: گراف جمع‌کننده ۳۲ بیتی Knowles..... Error! Bookmark not defined.

شکل ۳-۲۴: طبقه‌بندی گراف‌های جمع‌کننده‌های پیشوندی موازی..... Error! Bookmark not defined.

شکل ۳-۲۵: مقایسه تأخیر جمع‌کننده‌های کلاسیک..... Error! Bookmark not defined.

شکل ۳-۲۶: مقایسه توان جمع‌کننده‌های کلاسیک..... Error! Bookmark not defined.

شکل ۳-۲۷: مقایسه حاصل ضرب توان در تأخیر جمع‌کننده‌های کلاسیک..... Error! Bookmark not defined.

شکل ۴-۱: جمع‌کننده ۶۴ بیتی Brent-Kung..... Error! Bookmark not defined.

شکل ۴-۲: جمع‌کننده ۶۴ بیتی Ladner-Fischer..... Error! Bookmark not defined.

شکل ۴-۳: ساختار جمع‌کننده ۶۴ بیتی پیشنهادی اول..... Error! Bookmark not defined.

شکل ۴-۴: تعداد سلول‌های محاسباتی در سطوح منطقی جمع‌کننده‌های پایه و پیشنهادی اول Error!

Bookmark not defined.

شکل ۴-۵: منحنی تغییرات الف) تأخیر، ب) توان مصرفی، ج) PDP، در جمع‌کننده‌های پایه و پیشنهادی اول

..... Error! Bookmark not defined.

شکل ۴-۶: الف) ساختار جمع‌کننده ۶۴ بیتی Kogge-Stone ب) ساختار جمع‌کننده ۶۴ بیتی Sklansky Error!

Bookmark not defined.

شکل ۴-۷: ساختار جمع‌کننده پیشنهادی دوم..... Error! Bookmark not defined.

شکل ۴-۸: نحوی سبک-سنگین شدن تعداد سلول‌های محاسباتی در سطوح منطقی جمع‌کننده‌های پایه و

پیشنهادی دوم..... Error! Bookmark not defined.

شکل ۴-۹: منحنی تغییرات الف) توان مصرفی، ب) تأخیر، ج) PDP، در جمع‌کننده‌های پایه و پیشنهادی دوم

..... Error! Bookmark not defined.

شکل ۴-۱۰: مقایسه PDP جمع‌کننده‌های ۱۶ بیتی کلاسیک با جمع‌کننده پیشنهادی دوم Error! Bookmark not

defined.

شکل ۴-۱۱: مقایسه PDP جمع‌کننده‌های ۳۲ بیتی کلاسیک با جمع‌کننده پیشنهادی دوم Error! Bookmark

not defined.

شکل ۴-۱۲: مقایسه PDP جمع‌کننده‌های ۶۴ بیتی کلاسیک با جمع‌کننده پیشنهادی دوم Error! Bookmark

not defined.

شکل ۵-۱: تعیین نقاط قرمز رنگ به عنوان ایده‌آل‌ترین جمع‌کننده‌ها در طبقه‌بندی سه‌بعدی Error! Bookmark

not defined.

فهرست جدول‌ها

عنوان

صفحه

جدول ۲-۱: جدول درستی نیم جمع‌کننده..... ۸

جدول ۲-۲: جدول درستی تمام‌جمع‌کننده..... ۱۰

جدول ۲-۳: مقایسه‌ای میزان کارایی جمع‌کننده‌های ۳۲ بیتی..... Error! Bookmark not defined.

جدول ۳-۱: مقایسه جمع‌کننده‌های پیشوند موازی کلاسیک ۱۶ بیتی.. Error! Bookmark not defined.

جدول ۳-۲: مقایسه جمع‌کننده‌های پیشوند موازی کلاسیک ۳۲ بیتی.. Error! Bookmark not defined.

جدول ۳-۳: مقایسه جمع‌کننده‌های پیشوند موازی کلاسیک ۶۴ بیتی.. Error! Bookmark not defined.

جدول ۴-۱: حداکثر مقدار تاخیر انتشار در بیت‌های متغیر جمع‌کننده‌های پایه و پیشنهادی اول

Bookmark not defined.

جدول ۴-۲: تعداد سلول‌های محاسباتی در سطوح منطقی در بیت‌های متغیر جمع‌کننده‌های پایه و پیشنهادی اول

Error! Bookmark not defined......

جدول ۴-۳: مقدار توان مصرفی در بیت‌های متغیر جمع‌کننده‌های پایه و پیشنهادی اول

not defined.

جدول ۴-۴: مقدار PDP در بیت‌های متغیر جمع‌کننده‌های پایه و پیشنهادی اول

defined.

جدول ۴-۵: تعداد سطوح منطقی در مسیر بحرانی در بیت‌های متغیر جمع‌کننده‌های پایه و پیشنهادی اول

Bookmark not defined.

جدول ۴-۶: پارامترهای جمع‌کننده‌های ۱۶ بیتی پایه و پیشنهادی دوم

defined.

جدول ۴-۷: پارامترهای جمع‌کننده‌های ۳۲ بیتی پایه و پیشنهادی دوم

defined.

جدول ۴-۸: پارامترهای جمع‌کننده‌های ۶۴ بیتی پایه و پیشنهادی دوم

defined.

جدول ۴-۹: مقدار توان مصرفی، تاخیر و حاصل ضرب توان در PPA های ۱۶ بیتی پایه و پیشنهادی دوم

Error! Bookmark not defined......

جدول ۴-۱۰: مقدار توان مصرفی، تاخیر و حاصل ضرب توان در PPA های ۳۲ بیتی پایه و پیشنهادی دوم

Error! Bookmark not defined......

جدول ۴-۱۱: مقدار توان مصرفی، تاخیر و حاصل ضرب توان در PPA های ۶۴ بیتی پایه و پیشنهادی دوم

Error! Bookmark not defined......

جدول ۴-۱۲: مقایسه و بررسی جمع‌کننده‌های پیشنهادی با جمع‌کننده‌های کار شده در تکنولوژی ۴۵ نانومتر.....۷۵

جدول ۴-۱۳: مقایسه و بررسی جمع‌کننده‌های پیشنهادی با جمع‌کننده‌های کار شده در تکنولوژی ۸۰ نانومتر...۷۶

فهرست علائم و اختصارات

BKA	Brent-Kung Adder
CSA	Carry-Skip Adder
CSLA	Carry-Select Adder
CLA	Carry-Lookahead
CMOS	Complementary Metal-Oxide-Semiconductor
DSP	Digital Signal Processor
FA	Full-Adder
F	Fanout
G	Generate
H	Han-Carlson Adder
HA	Half-Adder
KSA	Kogge-Stone Adder
KWA	Knowles Adder
LSB	Least Significant Bit
LFA	Ladner Fischer Adder
L	Levels
MSB	Most Significant Bit
PDP	Power-Delay Product
PPA	Parallel Prefix Adder
P	Propagate
RCA	Carry-Ripple Adder
SKA	Sklansky Adder
T	Tracks
ULSI	Ultra-Large-Scale Integration
VLSI	Very Large Scale Integrated

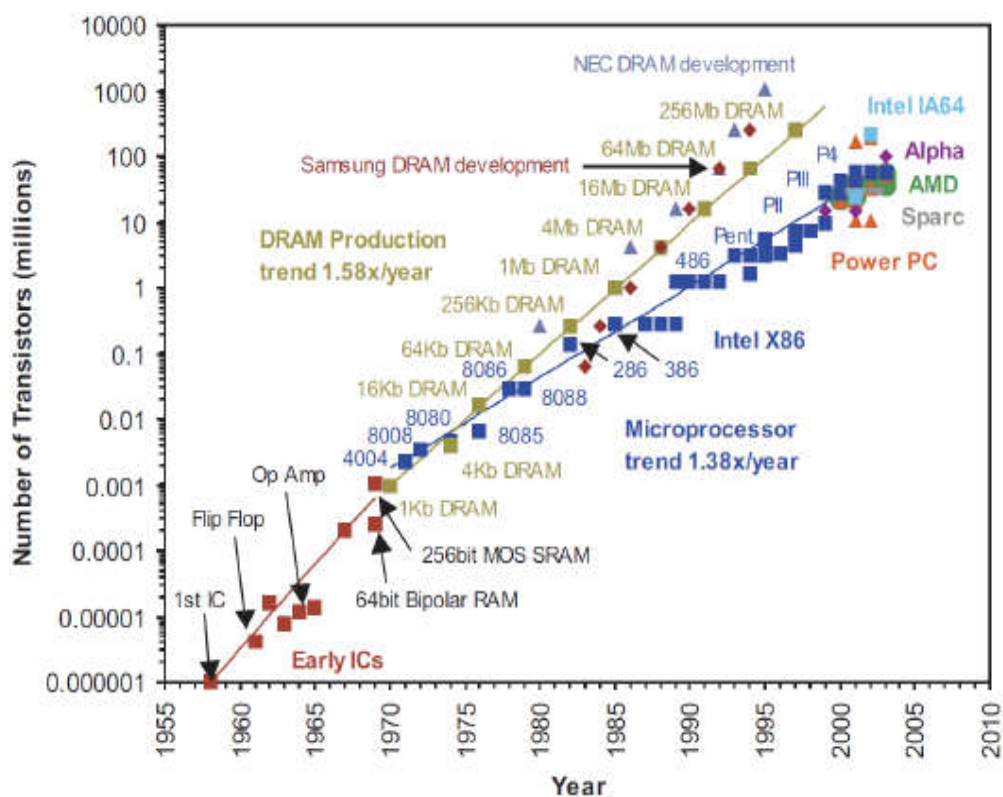
فصل اول:

کلیات پژوهش

۱-۱- مقدمه

با پیشرفت الکترونیک طراحان برای رسیدن به مساحت سیلیکونی کوچکتر، سرعت بالاتر، عمر طولانی‌تر باتری و قابلیت اطمینان بیشتر تلاش می‌کنند. در سال ۱۹۶۵ گوردون مور در مقاله‌ای روند افزایش چگالی مجتمع سازی را بررسی کرد و نشان داد که تعداد ترانزیستورهای روی یک تراشه در هر ۱۸ تا ۲۴ ماه دو برابر خواهد شد. در ۳۰ سال گذشته مدارهای مجتمع به سیستم‌های پرسرعت و پیچیده‌ای تبدیل شده‌اند که شامل تعداد بی‌شماری مدار الکترونیک می‌باشند که در شکل ۱-۱ نشان داده شده است (ای‌جان چونگ^۱،

(۲۰۱۴).

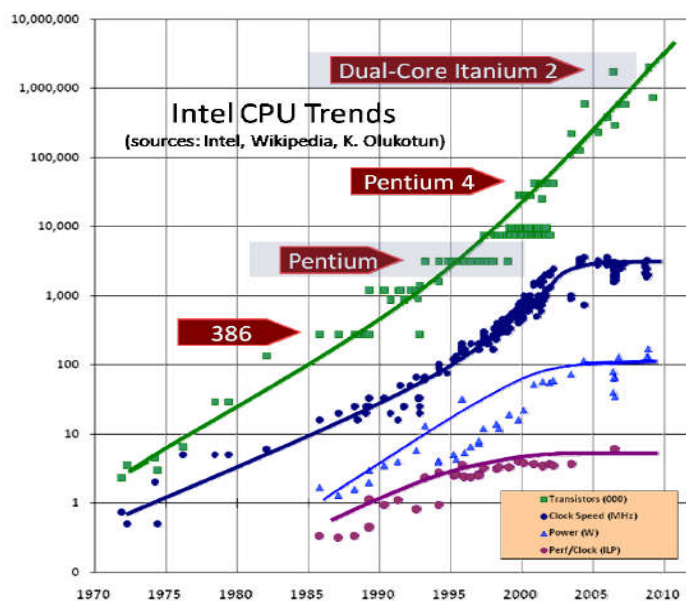


شکل ۱-۱: روند ترانزیستورها در مدارات مجتمع

^۱ I-Jen Chuang

۱-۲- بیان مسئله

زمان تاخیر، به سبب ترانزیستورها، تعداد ترانزیستورها در تراشه، خازن‌های پارازیتی^۱ و سطوح منطقی (تعداد گیت‌ها و مسیر بحرانی) بستگی دارد. توان مصرفی دینامیک به فعالیت سوئیچینگ و تعداد ترانزیستورها، و مساحت تراشه به تعداد و سبب ترانزیستورها و پیچیدگی مدار وابسته است. اگر چه توان دینامیکی با مقیاس تکنولوژی کاهش پیدا می‌کند، اما توان استاتیک ناشی از افزایش می‌یابد و انتظار می‌رود که سهم بزرگی از توان کلی را در مدارها داشته باشد. توان ناشی از یک مسئله‌ای اساسی است که نیازمند مدیریت توان مناسب می‌باشد. به بیان دیگر، انتظار طراحان مدار برای درصد تاخیر کمتر و کاهش توان، آنها را به یک معماری جدید سوق می‌دهد. با وجود کاهش ولتاژ تغذیه و کاهش ابعاد ادوات، توان مصرفی ریزپردازنده با کارایی بالا، تقریباً همان مقدار باقی می‌ماند (مقدار توان مصرفی تغییری نمی‌کند). به منظور محدود کردن توان مصرفی و چگالی توان در یک سطح مناسب بدون اجرای راه‌حل‌های پرهزینه، مقیاس گذاری فرکانس در سال‌های اخیر متوقف شده است.



شکل ۱-۲: نمودار تاریخچه CPU اینتل (ای‌جان چونگ، ۲۰۱۴).

¹ parasitic capacitance

۱-۳- ضرورت و اهمیت پژوهش

اهمیت و ضرورت کاهش تاخیر و توان مصرفی در یک تراشه با چگالی بالا در ناحیه نانومتر به شدت افزایش یافته است. سیستم‌های قابل حمل از قبیل کامپیوتر کتابی^۱، وسایل ارتباطی (موبایل) و وسایل شخصی دیجیتالی (PDA)^۲ نیاز به توان مصرفی پایین و کارایی بالایی دارند. علاوه بر این، حتی در مواردی که مشکل توان وجود ندارد، توان مصرفی کم یکی از نیازهای اصلی است. زیرا در سیستم‌های نظیر میکروپروسورها، سیستم‌های پردازش سیگنال‌های^۳ دیجیتال که حجم عملیات بسیار بالاست، مشکلات خنک سازی تراشه، گران بودن سیستم‌های خنک کننده و مشکلات بسته بندی مطرح می‌گردد. مساله‌ای قابلیت اطمینان^۴ نیز به خصوص در مدارات مجتمع با مقیاس بسیار بزرگ، طراحی‌های کم توان و با سرعت مطلوب را می‌طلبد، زیرا ارتباط محکمی میان حداکثر توان تلفاتی در مدارات دیجیتال و مسائل قابلیت اطمینان وجود دارد (گوفران^۵ و همکاران، ۲۰۱۳).

در بسیاری از طراحی‌های مهندسی یک تعامل^۶ بین دو یا چند کمیت (مانند توان و سرعت در مدارات) وجود دارد. حال آن که، هرگز نمی‌توان ادعا کرد که طرح‌های ارائه شده بهترین بوده و بهبود یک پارامتر در مدار باعث افت پارامتر دیگر نخواهد شد. بنابراین با ارائه طرح‌های نوین چه از لحاظ ساختاری و چه در سطح سیستم، می‌توان مدارات را از لحاظ سرعت و توان بهبود داد.

^۱ Notebook Computer

^۲ Personal Digital Assistants

^۳ Digital Signal Processing (DSP)

^۴ Reliability

^۵ Gufran

^۶ Trade Off

۱-۴- هدف از انجام تحقیق

همان طور که اشاره شد، جمع‌کننده‌ها از عناصر بسیار مهم در سیستم‌های دیجیتال محسوب می‌شوند، که علاوه بر وظیفه‌ی اصلی آن‌ها بازده این سیستم‌ها را مشخص می‌کنند در عملیات مفید بسیاری مانند تفریق، ضرب، تقسیم، محاسبه‌ی آدرس و ... نیز مشارکت دارند (ناگامانی^۱ و همکار، ۲۰۱۱؛ مقدم و همکار، ۲۰۱۱). به همین علت، طراحی جمع‌کننده‌های کم مصرف با کارایی بالا یکی از چالش‌های مهم است که طراحان مدارات دیجیتال با آن مواجه هستند. و هر چقدر طراحی‌ها به سمت تکنولوژی‌های نانو^۲ پیش می‌روند، طراحی جمع‌کننده‌های با کارایی بالا دشوارتر می‌شوند (تانگ فان^۳، ۲۰۰۷).

جمع‌کننده‌ها به صورت‌های مختلفی پیاده‌سازی می‌شوند و از بین ساختارهای مختلف آن‌ها، جمع‌کننده‌های پیشوند موازی (PPA)^۴ بسیار مورد توجه قرار گرفته‌اند (وسته^۵ و همکار، ۲۰۰۵). علت اصلی این امر آن است که این جمع‌کننده‌ها از یک شبکه‌ای درختی بهره می‌گیرند که مسیر انتشار نقلی^۶ در آن‌ها به گونه‌ای است که تاخیر انتشار را تا اندازه‌ی \log_2^n کاهش می‌دهد. این در حالی است که مقدار آن در یک جمع‌کننده بیت نقلی پله‌ای (RCA)^۷ ساده به اندازه n می‌باشد که در هر دو حالت تعداد بیت‌های ورودی را مشخص می‌کند (راماناتان^۸ و همکار، ۲۰۱۰؛ بولپاللی^۹ و همکار، ۲۰۱۲). هم چنین این جمع‌کننده‌ها ساختار منظم و قاعده‌مند^{۱۰} و سلول‌های ساده‌ای دارند و برای پیاده‌سازی جمع‌کننده‌های با طول بیت بالا نیز مناسب می‌باشند (راماناتان و همکار، ۲۰۰۹). بنابراین با توجه به جایگاه جمع‌کننده‌های پیشوند موازی، این تحقیق با هدف بهبود مصرف توان و کارایی آن‌ها انجام شده است و در این راستا، سعی بر آن شده است که با

^۱ Nagamani

^۲ Nano Technology

^۳ Tang Fhan

^۴ Parallel Prefix Adder

^۵ Weste

^۶ Carry Propagation Path

^۷ Carry-Ripple Adder

^۸ Ramanathan

^۹ Bollepalli

^{۱۰} Regular

توجه به ساختار پیشنهادی جمع‌کننده‌های پشوندی موازی، به عنوان چشم انداز امیدوار کننده‌ای در راستای طراحی بهبود یافته معرفی و ارائه گردد.

۱-۵- نو آوری‌های تحقیق

در راستای هدف این تحقیق یعنی طراحی جمع‌کننده‌های پشوندی موازی مبتنی بر چینش گره‌ها در ساختار PPA، دو جمع‌کننده ۶۴ بیتی بهبود یافته ارائه شده است. نتایج شبیه‌سازی‌ها نشان می‌دهد که این جمع‌کننده در مقایسه با سایر جمع‌کننده‌های PPA کلاسیک دارای کم‌ترین مقدار PDP^1 می‌باشد.

۱-۶- نمای کلی پایان‌نامه

این پایان‌نامه در پنج فصل تنظیم و نگارش شده است. ساختار و فصل‌های این پایان‌نامه به صورت زیر است. در فصل اول به عنوان مقدمه، کلیات و جایگاه موضوع انتخابی و ضرورت کار روی آن و همچنین چشم انداز کلی پایان‌نامه شرح داده شده است. در فصل دوم به معرفی جمع‌کننده‌های سریع پرداخته شده است، در فصل سوم جمع‌کننده پشوند موازی مورد بررسی قرار گرفته و انواع مختلف درخت‌های پشوند موازی به اجمال معرفی می‌شوند و از بهینه‌ترین آنها جهت معماری پیشنهادی استفاده می‌شوند. در فصل چهارم با تکیه بر معماری کلاسیک جمع‌کننده‌های موازی ساختار دو جمع‌کننده پشوندی موازی بهبود یافته نظیر توان مصرفی و تاخیر ارائه شده است، در ادامه نتایج شبیه‌سازی و مقایسه جمع‌کننده‌های پیشنهادی با جمع‌کننده‌های کلاسیک PPA از نظر حاصل ضرب توان مصرفی در تاخیر انتشار به صورت نمودار نشان داده شده است، که بهینه بودن دو جمع‌کننده پیشنهادی را تأیید می‌کند. در نهایت فصل پنجم به نتیجه‌گیری و پیشنهادات اختصاص گرفته است.

¹ power-delay product

فصل دوم:

انواع جمع‌کننده‌های سریع

۲-۱- مقدمه

در طول دهه‌های گذشته معماری‌های متعددی برای انجام جمع دودویی پیشنهاد شده است و به شیوه‌های مختلفی برای پیاده‌سازی در سطح گیت در مدارات به کار گرفته شده است. جهت بررسی کامل این جمع‌کننده‌ها می‌توان به مراجع (زیمرمن^۱، ۱۹۹۸) مراجعه نمود.

۲-۲- بررسی ساختار اولیه جمع‌کننده

۲-۲-۱- نیم جمع‌کننده^۲

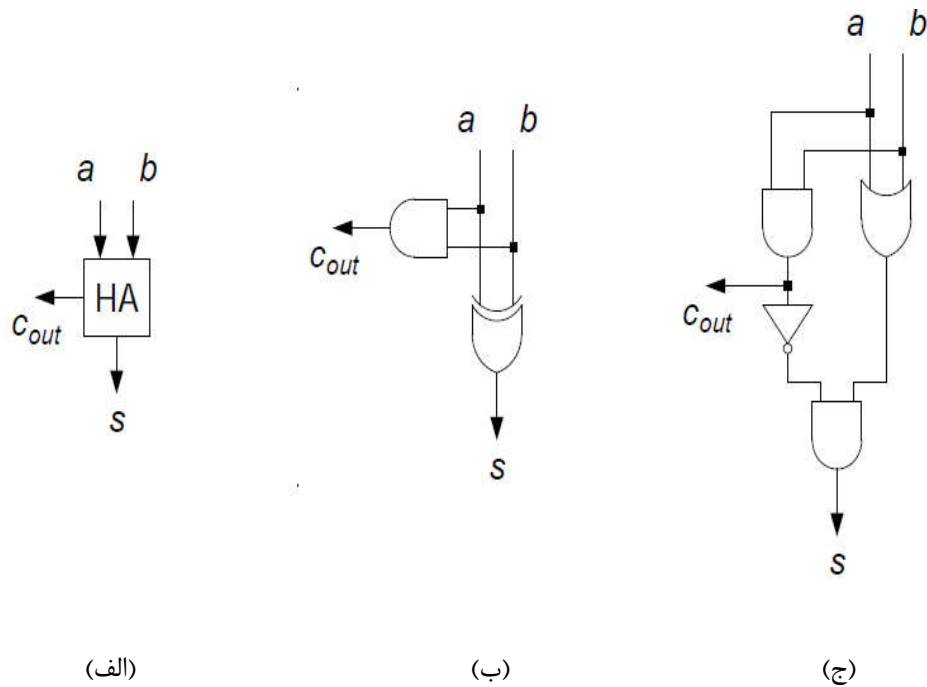
یک نیم جمع‌کننده برای جمع دو رقم دودویی A_i و B_i استفاده می‌شود و بیت جمع (S_i) و بیت نقلی خروجی^۳ (C_{i+1}) تولید می‌کند. با ارزش‌ترین رقم حاصل جمع، بیت نقلی خروجی نامیده می‌شود، زیرا یک بیت سرریز را به بیت باارزش بعدی منتقل می‌کند. هر چند نیم جمع‌کننده به تنهای خیلی مفید نیست ولی می‌توان از آن به عنوان بلوک پایه برای مدارات جمع بزرگتر استفاده کرد. جدول ۱-۲ جدول درستی^۴ نیم جمع‌کننده را نشان می‌دهد (زیمرمن، ۱۹۹۸).

جدول ۱-۲: جدول درستی نیم جمع‌کننده

B_i	A_i	C_{i+1}	S_i
۰	۰	۰	۰
۰	۱	۰	۱
۱	۰	۰	۱
۱	۱	۱	۰

^۱ Zimmermann
^۲ half-adder (HA)
^۳ Carry-Out
^۴ Truth Table

در شکل ۱-۲ قسمت (الف)، نماد منطقی و در قسمت (ب) و (ج) دو نوع پیاده‌سازی مدار یک نیم‌جمع-کننده نشان داده شده است (کورن^۱، ۲۰۰۲).



شکل ۱-۲: الف) نماد منطقی مدار نیم‌جمع‌کننده ب، ج) دو نوع پیاده‌سازی مدار نیم‌جمع‌کننده

رابطه‌های (۱-۲) و (۲-۲) معادلات منطقی را برای بیت‌های S_i و C_{i+1} نشان می‌دهند (لو^۲، ۲۰۰۴).

$$S_i = A_i \text{ xor } B_i \quad (1-2)$$

$$C_{i+1} = A_i \text{ and } B_i \quad (2-2)$$

^۱ Kilburn
^۲ Lu

۲-۲-۲- تمام جمع کننده^۱

سیگنال‌های مهم داخلی یک تمام‌جمع‌کننده سیگنال‌های تولید^۲ و انتشار^۳ هستند. سیگنال تولید، AND منطقی دو ورودی می‌باشد و صفر یا یک بودن بیت نقلی تولید شده را مشخص می‌کند و سیگنال انتشار، XOR منطقی دو ورودی است و مشخص می‌کند که آیا بیت نقلی ورودی بدون تغییر به بیت نقلی خروجی منتقل می‌شود یا خیر؟ در حقیقت خروجی را می‌توان به عنوان یک عدد دو بیتی که تعداد ورودی‌ها یک در نظر گرفت. یعنی اگر ورودی فقط یک بیت، یک داشته باشد $C_{i+1}S_i$ برابر 01 و اگر دو بیت داشته باشد برابر 10 و اگر در ورودی سه بیت یک موجود باشد برابر 11 خواهد شد. جمع‌کننده‌ای که بتواند سه بیت را با هم جمع کند تمام‌جمع‌کننده نامیده می‌شود. جدول درستی تمام جمع‌کننده در جدول ۲-۲ نشان داده شده است (کورن، ۲۰۰۲).

جدول ۲-۲: جدول درستی تمام‌جمع‌کننده

A_i	B_i	C_i	C_{i+1}	S_i
۰	۰	۰	۰	۰
۰	۰	۱	۰	۱
۰	۱	۰	۰	۱
۰	۱	۱	۱	۰
۱	۰	۰	۰	۱
۱	۰	۱	۱	۰
۱	۱	۰	۱	۰
۱	۱	۱	۱	۱

رابطه‌ی (۳-۲) و (۴-۲) معادلات منطقی را برای یافتن بیت S_i و C_{i+1} در تمام‌جمع‌کننده نشان می‌دهند (زیمرن، ۱۹۹۷).

^۱ full-adder (FA)

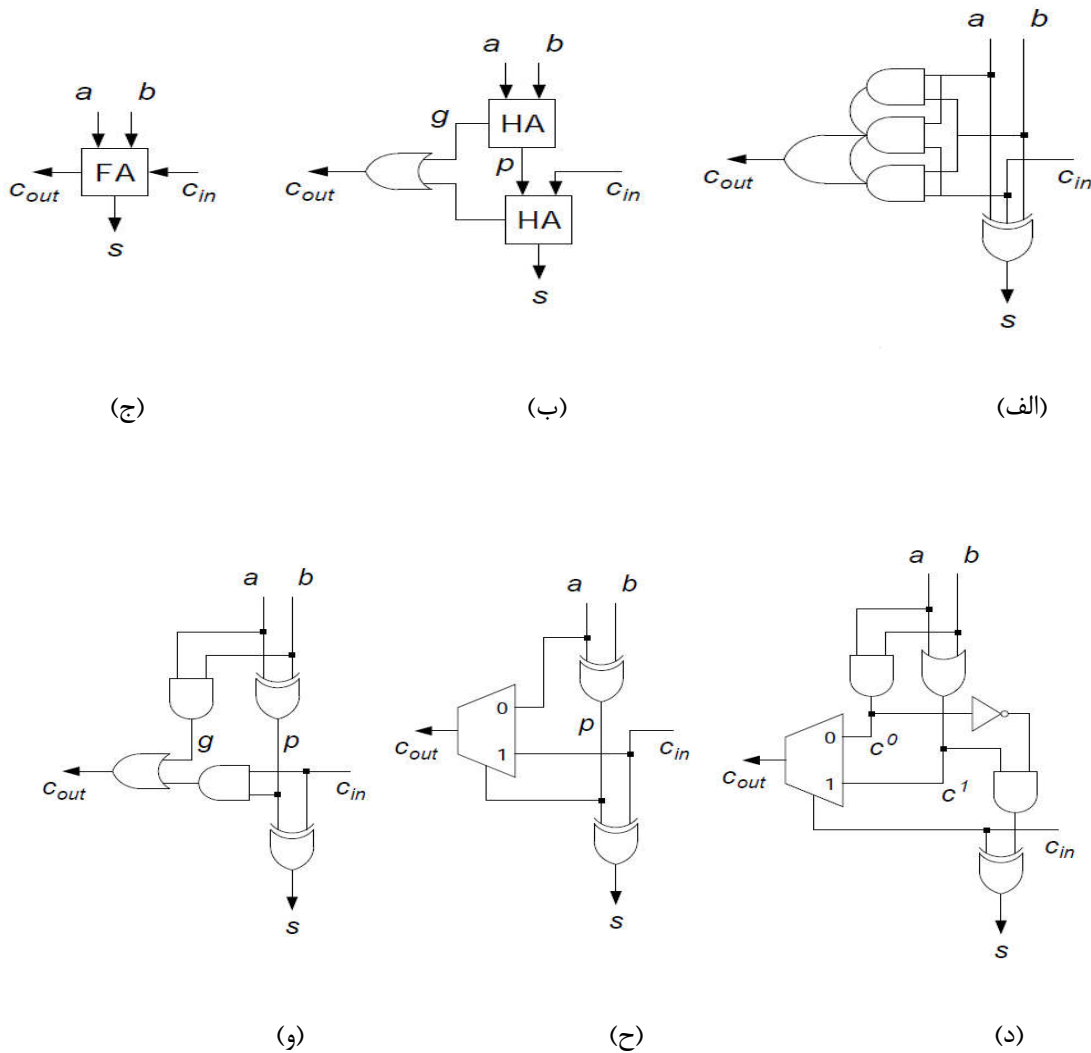
^۲ Generate

^۳ Propagate

$$S_i = A_i \text{ xor } B_i \text{ xor } C_i \quad (3-2)$$

$$C_{i+1} = A_i \text{ and } B_i \text{ and } C_i \quad (4-2)$$

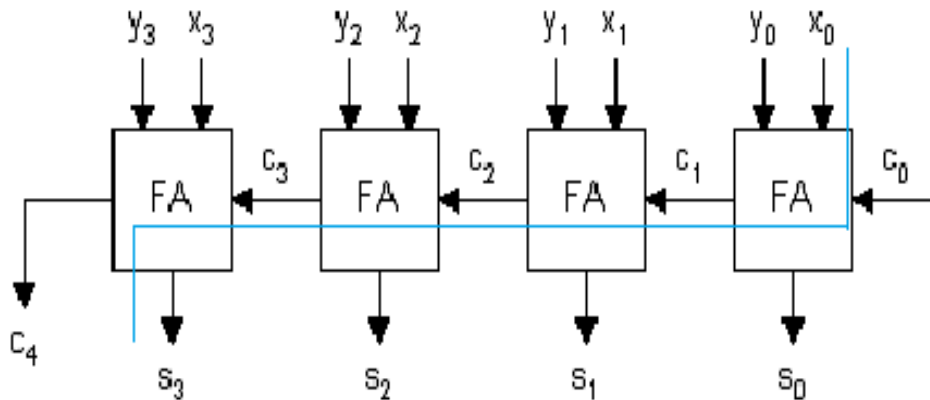
در شکل ۲-۲ قسمت (الف)، نماد منطقی و در قسمت (ب) و (ج) و (د) و (و) انواع پیاده‌سازی مدار یک تمام‌جمع‌کننده نشان داده شده است (زیمرن، ۱۹۹۸).



شکل ۲-۲: الف) نماد منطقی تمام‌جمع‌کننده. ب، ج، د، و) انواع پیاده‌سازی مدار تمام‌جمع‌کننده

۲-۳- جمع کننده بیت نقلی پله‌ای

جمع کننده با بیت نقلی پله‌ای از سری کردن بلوک‌های تمام جمع کننده با طول n بیت ساخته می‌شود. هر بلوک تمام جمع کننده برای جمع دو رقم دودویی در هر طبقه جمع کننده بیت نقلی پله‌ای بکار می‌رود. به این ترتیب عمل می‌کند که بیت نقلی خروجی هر طبقه مستقیماً به بیت نقلی ورودی طبقه بعدی وصل می‌شود. این جمع کننده برای جمع دو عدد n بیتی به n عنصر تمام جمع کننده نیاز دارد. شکل ۲-۳ مثالی از یک جمع کننده بیت نقلی پله‌ای چهاربیتی را نشان می‌دهد که از چهار تمام جمع کننده تشکیل شده است. هر بیت x با یک بیت y که موقعیت یکسانی دارند، جمع می‌شود و هر عمل جمع یک بیت جمع و یک بیت نقلی خروجی تولید می‌کند که بیت نقلی خروجی به بیت نقلی ورودی تمام جمع کننده‌ی طبقه بالاتر منتقل می‌شود. نتیجه نهایی یک جمع چهاربیتی، شامل یک بیت حاصل جمع چهاربیتی و یک بیت نقلی خروجی می‌باشد (لو، ۲۰۰۴).



شکل ۲-۳: جمع کننده بیت نقلی پله‌ای چهاربیتی

هر چند این جمع کننده ساده می‌باشد و برای جمع بیت‌های با طول نامحدود نیز استفاده می‌شود ولی با افزایش تعداد بیت‌ها عملکرد آن به شدت افت می‌کند. یکی از معایب بزرگ این جمع کننده افزایش تاخیر

بصورت خطی با طول بیت‌ها می‌باشد، که در شکل ۲-۳ خط آبی طولانی‌ترین تاخیر این جمع‌کننده را مشخص می‌کند. هر بلوک تمام جمع‌کننده برای رسیدن به حالت نهایی باید منتظر بیت نقلی خروجی طبقه قبل باشد. یعنی حتی اگر جمع‌کننده مقداری در خروجی‌اش داشته باشد باید منتظر انتقال بیت نقلی به خروجی باشد تا خروجی به مقدار صحیح برسد مثلاً در شکل ۲-۳ جمع X_3 و Y_3 قبل از دسترس بودن C_3 نمی‌تواند به حالت پایدار برسد، همین‌طور C_4 باید منتظر C_3 بماند تا اینکه این زنجیره به C_0 برسد. برای مثال اگر یک تمام جمع‌کننده به T_{FA} ثانیه برای کامل شدن عملیاتش نیاز داشته باشد، در نتیجه برای جمع-کننده بیت نقلی پله‌ای چهاربیتی بعد $4T_{FA}$ ثانیه به مقدار پایدار خواهد رسید. بطور کلی بدترین تاخیر در جمع‌کننده بیت نقلی پله‌ای زمانی می‌باشد که سیگنال بیت نقلی از طبقه اول با عبور از تمام طبقات به طبقه آخر برسد در این حالت تاخیر کل طبق رابطه (۲-۵) بدست می‌آید.

$$T = (n-1) t_c + t_s \quad (۲-۵)$$

در رابطه‌ای (۲-۵) t_c تاخیر هر تمام جمع‌کننده برای محاسبه بیت نقلی و t_s تاخیر محاسبه بیت حاصل جمع در آخرین طبقه می‌باشد. تاخیر جمع‌کننده بیت نقلی پله‌ای بصورت خطی با n متناسب می‌باشد که n تعداد بیت‌ها است بنابراین عملکرد جمع‌کننده بیت نقلی پله‌ای با افزایش تعداد بیت‌ها بدتر می‌شود. یکی از مزایای این جمع‌کننده مصرف توان پایین و چیدمان^۱ فشرده می‌باشد که در نتیجه فضای کمتری روی تراشه اشغال می‌کند. برای طراحی جمع‌کننده‌های بیت نقلی پله‌ای بزرگتر باید بلوک‌های کوچکتر را با هم سری کرد (کورن، ۲۰۰۲).

^۱ Layout

۲-۴- جمع کننده پرش بیت نقلی^۱

طرح جمع کننده‌ای پرش بیت نقلی بوسیله‌ای کیبرن^۲ و همکارانش برای سرعت بخشیدن به بیت نقلی پیشنهاد شده است. جمع کننده‌ای پرش بیت نقلی از یک جمع کننده بیت نقلی پله ساده با یک زنجیره ویژه برای افزایش سرعت که زنجیره پرش^۳ نامیده می‌شود تشکیل شده است.

۲-۴-۱ ساز کار پرش بیت نقلی

در جمع دو رقم باینری در هر طبقه i (مخالف صفر) یک جمع کننده بیت نقلی پله، بیت نقلی خروجی به بیت نقلی ورودی یعنی C_i بستگی دارد که در واقع بیت نقلی خروجی (C_{i-1}) طبقه قبل می‌باشد. بنابراین به منظور محاسبه حاصل جمع و بیت نقلی خروجی (C_{i+1}) طبقه i باید بیت نقلی ورودی (C_i) قبلا محاسبه شده باشد. به طور کلی مواردی که می‌توان بدون توجه به مقدار C_i ، C_{i+1} را محاسبه کرد بسیار مورد توجه می‌باشد. برای یک جمع کننده معادلات منطقی را می‌توان طبق رابطه‌ای $(۲-۶)$ و $(۲-۷)$ و $(۲-۸)$ بدست آورد.

$$P_i = A_i \text{ xor } B_i \quad (۲-۶)$$

$$S_i = P_i \text{ xor } C_i \quad (۲-۷)$$

$$C_{i+1} = A_i \cdot B_i \text{ or } P_i \cdot C_i \quad (۲-۸)$$

اگر $A_i = B_i$ فرض شود در اینصورت مقدار P_i در معادله $(۲-۶)$ برابر صفر خواهد شد در نتیجه در معادله-

ای $(۲-۸)$ ، C_{i+1} فقط به ورودی‌ها یعنی A_i و B_i وابسته خواهد شد و بدون اطلاع از مقدار C_i می‌توان C_{i+1} را

^۱ Carry-Skip Adder (CSA)

^۲ Kibburn

^۳ Skip Chain



University of Mohagheh Ardabili

Faculty of Technical & Engineering

Department of Electrical Engineering

Thesis is approved for the degree of M.Sc

In Electronics

Title:

Design and FPGA implementation of a high speed and low power 64-bit adder

By:

Amir Ahmadloo

Evaluated and approved by thesis committee as:

Name & Family	Degree	Responsibility	Signature
Gh. Zare Fain	Assistant Prof.	Supervisor	
J. Javidan	Associate Prof.	Supervisor & Chairman	
H. Bahador	Assistant Prof.	Referee	
Sh. Jamali	Associate Prof.	Referee	

February- 2018



University of Mohaghegh Ardabili

Faculty of Technical & Engineering

Department of Electrical Engineering

**Thesis submitted in partial fulfilment of the requirements for the degree of
M.Sc. in Electronics**

Title:

Design and FPGA implementation of a high speed and low power 64-bit adder

Supervisor(s):

Dr. Gholamreza Zare Fain (Ph. D)

Dr. Javad Javidan (Ph. D)

By:

Amir Ahmadloo

February– 2018